



RECEIVED  
APR 20 2001  
Technology Center 2100

#5  
6/17/01  
2183

35.C15085

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: )  
: Examiner: N.Y.A.  
TAKAHISA KAWADE ET AL. )  
: Group Art Unit: 2183  
Application No.: 09/770,308 )  
:   
Filed: January 29, 2001 )  
:   
For: METHOD OF LOADING INITIAL )  
PROGRAM IN PROCESSOR )  
SYSTEM ) April 18, 2001

Commissioner for Patents  
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicants hereby claim priority under the  
International Convention and all rights to which they are  
entitled under 35 U.S.C. § 119 based upon the following  
Japanese Priority Application:

2000-025140, filed February 2, 2000.

A certified copy the priority document is enclosed.

Applicants' undersigned attorney may be reached in  
our New York office by telephone at (212) 218-2100. All

correspondence should continue to be directed to our address  
given below.

Respectfully submitted,

*22 P. Diana*  
Attorney for Applicants

Registration No. 29,296

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

NY\_Main152789v1

CF015085 US/jm

09/770,308  
GAM: 2183



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

2000年 2月 2日

出 願 番 号  
Application Number:

特願2000-025140

出 願 人  
Applicant(s):

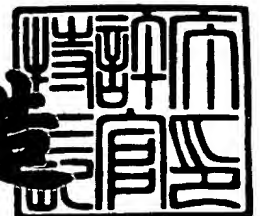
キヤノン株式会社

RECEIVED  
APR 20 2001  
Technology Center 2100

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3010946

【書類名】 特許願

【整理番号】 3985019

【提出日】 平成12年 2月 2日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 9/06 420

【発明の名称】 プロセッサシステム及びその起動方法

【請求項の数】 20

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

    【氏名】 川出 隆久

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

    【氏名】 渡辺 岳

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

    【氏名】 関根 正慶

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

    【氏名】 倉片 恵弘

【特許出願人】

    【識別番号】 000001007

    【住所又は居所】 東京都大田区下丸子3丁目30番2号

    【氏名又は名称】 キヤノン株式会社

    【代表者】 御手洗 富士夫

    【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社  
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会  
社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100110009

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会  
社内

【弁理士】

【氏名又は名称】 青木 康

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100069877

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会  
社内

【弁理士】

【氏名又は名称】 丸島 儀一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プロセッサシステム及びその起動方法

【特許請求の範囲】

【請求項 1】 CPUと、書き込み可能なメモリと、外部との通信手段とを備えたプロセッサシステムにおいて、

動作モードを選択する動作モード選択手段と、

前記メモリを前記動作モードに応じたエリアにマッピングするマッピング制御手段と、

前記動作モード選択手段により IPL動作モードが選択された場合に、前記CPUの動作を停止させ、前記通信手段を介して外部より転送される IPLプログラムを前記メモリに書き込んだ後に、前記CPUの動作の停止を解除する制御手段と、

前記メモリに書き込まれた IPLプログラムを前記CPUにより実行して、システムプログラムをダウンロードする IPL動作手段とを有することを特徴とするプロセッサシステム。

【請求項 2】 前記マッピング制御手段が、前記 IPL動作モードにおいて、前記CPUが起動直後に読み込む最初のアドレスを含むエリアに前記書き込み可能なメモリをマッピングするようにし、

前記 IPLプログラムの書き込みを、前記最初のアドレスから開始するように制御する書き込み制御手段を備えたことを特徴とする請求項 1 記載のプロセッサシステム。

【請求項 3】 前記制御手段が、

前記 IPLプログラムの転送を終了すべき状態を検知する検知手段と、

該検知手段により前記転送を終了すべき状態が検知されると、前記メモリへの書き込みを停止する終了処理手段を備えたことを特徴とする請求項 1 記載のプロセッサシステム。

【請求項 4】 前記検知手段が、あらかじめ設定した転送量に達したことで、前記転送を終了すべき状態を検知することを特徴とする請求項 3 記載のプロセッサシステム。

【請求項 5】 前記検知手段が、転送されたデータ中より転送終了を示すコ

ードを検出することで、前記転送を終了すべき状態を検知することを特徴とする請求項 3 記載のプロセッサシステム。

【請求項 6】 前記制御手段が、動作モードに応じてバスの接続を切り替えるバス制御手段を備え、該バス制御手段により、動作モードに応じて IPL プログラムの書き込み先となるメモリを切り替えることを特徴とする請求項 1 記載のプロセッサシステム。

【請求項 7】 前記制御手段が、前記 IPL プログラムとともに所定の機器の動作または状態を確認するための確認プログラムを前記メモリに書き込み、前記 CPU の起動時に当該確認プログラムを動作させるように制御することを特徴とする請求項 1 記載のプロセッサシステム。

【請求項 8】 前記確認プログラムが、前記プロセッサシステムに接続された周辺機器の動作を確認するためのプログラムであることを特徴とする請求項 7 記載のプロセッサシステム。

【請求項 9】 前記確認プログラムが、前記プロセッサシステムに接続されたメモリの状態を確認するためのプログラムであることを特徴とする請求項 7 記載のプロセッサシステム。

【請求項 10】 前記確認プログラムが、前記プロセッサシステムに接続された周辺機器の結線状態を確認するためのプログラムであることを特徴とする請求項 7 記載のプロセッサシステム。

【請求項 11】 CPU と、書き込み可能なメモリと、外部との通信部とを備えたプロセッサシステムの起動方法において、IPL 動作モードが選択された場合に、

前記 CPU の動作を停止させ、

前記メモリを IPL 動作モードに応じたエリアにマッピングし、

前記通信部を介して外部より転送される IPL プログラムを前記メモリに書き込み、

前記書き込みの後に、前記 CPU の動作の停止を解除し、

前記メモリに書き込まれた IPL プログラムを前記 CPU により実行して、システムプログラムをダウンロードすることを特徴とするプロセッサシステムの起動方法



【請求項 1 2】 前記IPL動作モードにおいて、前記CPUが起動直後に読み込む最初のアドレスを含むエリアに前記書き込み可能なメモリをマッピングし、

前記IPLプログラムの書き込みを、前記最初のアドレスから開始するように制御することを特徴とする請求項 1 1 記載のプロセッサシステムの起動方法。

【請求項 1 3】 前記IPLプログラムの転送を終了すべき状態を検知し、前記転送を終了すべき状態が検知されると、前記メモリへの書き込みを停止することを特徴とする請求項 1 1 記載のプロセッサシステムの起動方法。

【請求項 1 4】 前記転送を終了すべき状態を、あらかじめ設定した転送量に達したことで検知することを特徴とする請求項 1 3 記載のプロセッサシステムの起動方法。

【請求項 1 5】 前記転送を終了すべき状態を、転送されたデータ中より転送終了を示すコードを検出することで検知することを特徴とする請求項 1 3 のプロセッサシステムの起動方法。

【請求項 1 6】 前記動作モードに応じてバスの接続を切り替えることで、当該動作モードに応じてIPLプログラムの書き込み先となるメモリを切り替えることを特徴とする請求項 1 1 記載のプロセッサシステムの起動方法。

【請求項 1 7】 前記IPLプログラムとともに所定の機器の動作または状態を確認するための確認プログラムを前記メモリに書き込み、前記CPUの起動時に当該確認プログラムを動作させるように制御することを特徴とする請求項 1 記載のプロセッサシステムの起動方法。

【請求項 1 8】 前記確認プログラムが、前記プロセッサシステムに接続された周辺機器の動作を確認するためのプログラムであることを特徴とする請求項 1 7 記載のプロセッサシステムの起動方法。

【請求項 1 9】 前記確認プログラムが、前記プロセッサシステムに接続されたメモリの状態を確認するためのプログラムであることを特徴とする請求項 1 7 記載のプロセッサシステムの起動方法。

【請求項 2 0】 前記確認プログラムが、前記プロセッサシステムに接続された周辺機器の結線状態を確認するためのプログラムであることを特徴とする請

求項 1 7 記載のプロセッサシステムの起動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、プロセッサシステムにおけるイニシャル・プログラム・ローディング動作（IPL動作）に関するものである。

【0 0 0 2】

【従来の技術】

図 4 は、従来のプロセッサシステムの基本構成を示すブロック図である。図 5 は、従来のプロセッサシステムにおける IPL 動作を含む基本的な動作の手順を示すフローチャートである。

【0 0 0 3】

図 4 に示す装置は、動作モード選択スイッチ 43 により IPL 動作モードが選択され、CPU 40 が起動する。起動した CPU 40 は、プロセッサシステムに付随する IPL 格納 ROM 41 に書き込まれているイニシャル・プログラム・ローダー（以下、単にイニシャルプログラムあるいは IPL プログラムと言う）を読み込み、イニシャルプログラムを起動させる。

【0 0 0 4】

起動したイニシャルプログラムは、CPU 40 は通信手段 45 の初期化（通信条件の設定）を行い、プロセッサシステム外部から、通信ポート 46 を介してシステムプログラムをダウンロードする。ダウンロードされたシステムプログラムは、通信が終了するまでシステムに接続された RAM 42 等へ書き込まれる。通信が終了するとダウンロードされたシステムプログラムを起動させる。

【0 0 0 5】

以上の様に、従来のプロセッサシステムは、あらかじめプロセッサシステムに付随する ROM 41 等にイニシャルプログラムを書き込んでおき、IPL 動作モードが選択されると、プロセッサシステムに付随する ROM 41 等から IPL プログラムを読み込むのが一般的であった。

【0 0 0 6】

## 【発明が解決しようとする課題】

しかしながら、上記従来例では、IPLプログラムが書き換え不可能なROMに書き込まれている場合は、IPLプログラムを書き換える事が困難であった。また、ROMに書き込まれたイニシャルプログラムを書き換えるためには、ROMを交換する、もしくは、ROM専用の消去・書き込み装置を別途使用する必要があった。

## 【0007】

さらにIPL格納ROMを持つ事は、このROMにアクセスするための専用回路が必要であり、ROMの製造メーカーや、ROMの形式の違いによって消去・書き込み制御方法が異なるため、ROMを交換、変更等を行う際には、使用するROMに対応した回路構成、制御方法をとる必要があった。

## 【0008】

## 【課題を解決するための手段】

上記課題を解決するために、本発明によれば、CPUと、書き込み可能なメモリと、外部との通信手段とを備えたプロセッサシステムに、動作モードを選択する動作モード選択手段と、前記メモリを前記動作モードに応じたエリアにマッピングするマッピング制御手段と、該動作モード選択手段によりIPL動作モードが選択された場合に、前記CPUの動作を停止させ、前記通信手段を介して外部より転送されるIPLプログラムを前記メモリに書き込んだ後に、前記CPUの動作の停止を解除する制御手段と、前記メモリに書き込まれたIPLプログラムを前記CPUにより実行して、システムプログラムをダウンロードするIPL動作手段とを備える。

## 【0009】

また、本発明の他の態様によれば、CPUと、書き込み可能なメモリと、外部との通信部とを備えたプロセッサシステムの起動方法において、IPL動作モードが選択された場合に、前記CPUの動作を停止させ、前記メモリをIPL動作モードに応じたエリアにマッピングし、前記通信部を介して外部より転送されるIPLプログラムを前記メモリに書き込み、前記書き込みの後に、前記CPUの動作の停止を解除し、前記メモリに書き込まれたIPLプログラムを前記CPUにより実行して、システムプログラムをダウンロードする。

## 【0010】

【発明の実施の形態】

(第 1 の実施形態)

以下、図面を参照して本発明の 1 実施形態を説明する。

【0 0 1 1】

図1は、本発明の 1 実施形態のプロセッサシステムの基本構成の一例を示す図である。図1において、10はCPUである。本実施形態では、CPU10が起動直後（リセット解除後）に最初に読み込むアドレスが「FFFF0」であるとして、説明を行う。

【0 0 1 2】

11は、プロセッサシステムが有し、動作モードにより異なるアドレスにマッピングされるRAMである。本実施形態では、RAMは1つとして説明を行うが、異なる複数のRAMを備えるようにしてもよい。

【0 0 1 3】

12は、起動時の動作モードを決定する動作モード選択スイッチである。スイッチ12を切り換える事により、起動時における動作モードを、IPL動作モードと通常起動モードとのどちらかを選択する事が可能である。ここでは、動作モード選択スイッチと記したが、少なくとも2つ以上の動作モードの中から、特定の動作モードを選択する事ができれば、どのような選択手段であってもよい。

【0 0 1 4】

13は、起動時において、動作モード選択スイッチ12により選択されたモードに対応して動作する動作モード制御ユニットである。

【0 0 1 5】

動作モード制御ユニット13は、IPL動作モード時に動作する手段として、CPU10の動作を停止するCPU動作停止手段130、メモリのアドレスマッピングを切り替えるメモリマップ切り替え手段131、通信手段の初期化（通信条件の設定）を行う通信条件設定手段133、シリアルデータをパラレルデータに変換するデータ変換手段134、データ変換手段134により変換されたデータをRAMに書き込むデータ書き込み手段135、プロセッサシステムの外部から送られてくるデータが終了した事を検知する転送データ終了検知手段136とを有する。また、メモリマップ切り

替え手段131は、通常動作モード時にも動作して、IPL動作モード時とは異なるマッピングを行なう。

【 0 0 1 6 】

このように、動作モード制御ユニット13は、動作モードに応じて動作する複数の動作手段を有する。

【 0 0 1 7 】

14は、プロセッサシステムが外部との通信を行うための通信手段である。本実施形態では通信手段は1つとして説明を行うが、複数の通信手段が接続されていてもよい。

【 0 0 1 8 】

また、通信手段14の通信方式は、シリアル通信（RS232C）、パラレル通信、USB、SCSI、ネットワーク、モデム等、プロセッサシステム外部との通信を可能とするものであればよく、特に限定されない。

【 0 0 1 9 】

本実施形態では、通信手段14の通信方式は、「通信制御方法が簡単」、「単純な通信制御方法である」、「一定の通信プロトコル」等の理由から、PCとの通信が容易に行えるRS232Cを用いたシリアル通信を用いるものとして説明を行う。

【 0 0 2 0 】

15は、外部と通信するための通信ポートである。本実施形態では、通信ポート15は1つとして説明を行うが、通信手段14に対応して複数の通信ポートが接続されていても問題ない。

【 0 0 2 1 】

本実施形態では、RS232Cを用いたシリアル通信を通信手段14の通信方式としたので、通信ポート15はRS232Cシリアル通信ポートとして説明を行う。

【 0 0 2 2 】

16は、システムに接続されたROMである。本実施形態では、ROM16は1つとして説明を行うが、異なる複数のROMが接続されていても問題ない。逆に1つも接続がなくても良い。

【 0 0 2 3 】

17は、プロセッサシステムとして構成されるペリフェラル（周辺機器）である。このペリフェラルに関しては、複数接続されていてもよいし、逆に1つも接続がなくてもよい。

【 0 0 2 4 】

図2は、実施形態1において、プロセッサシステム起動時に起動モード選択スイッチ12がIPL動作モードを選択していた場合の、アドレスマッピングの一例を示す図である。

【 0 0 2 5 】

ここでは、アドレス「0番地～7FFFF番地」には何もマッピングされていない。「80000番地～F7FFF番地」は、プロセッサに接続されるROM16がマッピングされている。このROMの領域にはプロセッサのシステムプログラムがダウンロードされる。またROM領域の一部はEMSによりバンクの切り替えが可能な領域を含んでおり、ROMの全領域をEMSWindowを用いて参照する事ができる。

【 0 0 2 6 】

このアドレスマッピングの特徴として、CPU10が起動直後に最初に読み込むアドレス「FFFF0」を含む「F8000番地～FFFFFF番地」には、プロセッサシステムに内蔵されるRAMがマッピングされている。

【 0 0 2 7 】

図2において、システムに接続されているRAM11、ROM16のアドレスマッピングの一例を示したが、この例において重要な点は、CPU10が起動直後に最初に読み込むアドレスに、システムに接続されたRAM領域がマッピングされている点である。

【 0 0 2 8 】

つまり、どのようなCPUであっても、起動直後に最初に読み込むアドレスにRAM領域をマッピングすれば、その他のメモリマッピングは、どのように行われても良い。

【 0 0 2 9 】

図3は、IPL動作モード及び通常起動モードにおける基本動作の流れを示すフローチャートである。図1、図2、及び図3を参照して、第1の実施形態の動作を説明

する。

【 0 0 3 0 】

まず、動作モード選択スイッチ12によりIPL動作モードが選択されている場合、プロセッサシステムのアドレスマッピングは、図2に示す通りにマッピングされている。

【 0 0 3 1 】

動作モード選択スイッチ12により、動作モードが選択される（S301）と、IPL動作モードであれば、動作モード制御ユニット13は、CPU10の動作を停止させるために、CPU動作停止手段130によりWait信号を発する。CPU動作停止信号（Wait信号）を受け取ったCPU10は、動作不能（リセット状態）になる（S302）。

【 0 0 3 2 】

CPU10が動作不能（リセット状態）になると、動作モード制御ユニット13は、メモリマップ切り替え手段131により、IPL動作モードに対応した、図2に示すアドレスマッピングに切り替える（S303）。

【 0 0 3 3 】

次に、動作モード制御ユニット13は、通信条件設定手段133により、通信手段14に対して初期化（通信条件の設定）を行う（S304）。

【 0 0 3 4 】

通信手段14の通信条件が設定されると、通信ポート15を介し、プロセッサ外部からイニシャルプログラムのダウンロードを開始する（S305）。

【 0 0 3 5 】

イニシャルプログラムのダウンロードが開始されると、動作モード制御ユニット13は、シリアル通信（RS232C）で送られてきたデータを、データ変換手段134によりパラレルデータに変更した後、データ書込手段135により、RAM11上へ書き込んでいく（S306）。

【 0 0 3 6 】

このようにしてプロセッサ内部のRAM11へ書き込む際には、リセット解除後にCPU10が最初に読み込むアドレスをスタートアドレスとして、データを書き込むものとする。

## 【0037】

本実施形態においてCPU10が起動時に最初に読み込むアドレスは、「FFFF0番地」であることから、データを書き込むスタートアドレスは「FFFF0番地」として、ダウンロードを開始する。アドレス「FFFFF番地」まで書いた所で、ダウンロードアドレスはRAM領域の先頭である「F8000番地」にジャンプし、再びダウンロードを続ける。

## 【0038】

イニシャルプログラムのダウンロードが終了した事を示す通信終了コードが送られてくると、動作モード制御ユニット13は、転送データ終了検知手段137により、通信終了コードを検知して、イニシャルプログラムのダウンロード動作（IPL動作）を終了する（S307）。

## 【0039】

同様に本実施形態において、図2に示したアドレスマッピングの時、ダウンロード可能なイニシャルプログラムの最大サイズは32kByteに自動的に決定する。32kByteより大きなサイズのイニシャルプログラムが送信されてきた場合、前に送られてきたデータに上書きしてしまう事から、動作モード制御ユニット13には転送データカウンタ手段137が設けられており、32kByte分のデータが送られてきた所で、通信を終了する。

## 【0040】

通信終了を検知してIPL動作を終了すると、動作モード制御ユニット13は、CPU動作停止手段130によるCPU停止信号（Wait信号）を解除し、IPL動作モードを選択したまま（図2に示すアドレスマッピングのまま）、CPUの動作を許可する（S308）。換言すれば、ここで初めてCPUリセットが解除される事になる。

## 【0041】

ダウンロードされたイニシャルプログラムは、CPU起動後最初に読み込むアドレスである、RAM上の「FFFF0番地」から書き込まれているので、CPU動作停止信号の解除と共にイニシャルプログラムの読み込みを開始し、RAM上でイニシャルプログラムが起動する（S309）。続いて、イニシャルプログラムにより、システムプログラムのダウンロードが行われる（S310）。



## 【 0 0 4 2 】

## (第 2 の実施形態)

上記実施形態の説明においては、CPU動作停止手段130の発するCPU動作停止信号をWait信号としたが、CPUの動作を停止できる手段であれば、CPUリセット信号等を用いてもよい。

## 【 0 0 4 3 】

## (第 3 の実施形態)

上記実施形態の説明においては、転送データ終了検知手段137は、前記通信終了コードを検知するとしたが、あらかじめ通信サイズを決めておく、通信データの終了データパターンを決めておく、通信終了を示す信号線を用いる等、通信が終了した事を検知可能であれば、転送データ終了検知手段における検知方法は、特に限定するものではない。

## 【 0 0 4 4 】

## (第 4 の実施形態)

上記実施形態においては、メモリマップ切り替え手段131により、動作モードに応じてアドレスマッピングを切り替えるとしたが、メモリマップを切り替える方法だけでなく、アドレスバス、データバス、信号線等を切り替えるバス切り替え手段132により、動作モードごとに異なるメモリに接続する方法でも良い。

## 【 0 0 4 5 】

## (第 5 の実施形態)

図3、図5及び、図6を参照して、第 5 の実施形態の動作を説明する。

## 【 0 0 4 6 】

第1の実施形態で示したように、イニシャルプログラムをシステムに接続されたRAM11にダウンロードして、イニシャルプログラムを起動させる。この時、RAM 11にダウンロードするイニシャルプログラム中に、図1に示すシステムに接続されたペリフェラル17の動作確認デバッグプログラムを組み込む。

## 【 0 0 4 7 】

ペリフェラル動作確認デバッグプログラムを、イニシャルプログラムに組み込む事で、イニシャルプログラムが起動後に、ペリフェラル動作確認デバッグプロ

グラムを実行し、内部ペリフェラルが正常に動作するか否かを容易に確認することができる。

【 0 0 4 8 】

(第 6 の実施形態)

図3、図5及び、図6を参照して、第 6 の実施形態の動作を説明する。

【 0 0 4 9 】

第1の実施形態で示したように、イニシャルプログラムをシステムに接続されたRAM11にダウンロードして、イニシャルプログラムを起動させる。この時、RAMにダウンロードするイニシャルプログラム中に、プロセッサシステムに接続されているROM16に対するメモリチェックプログラムを組み込む。

【 0 0 5 0 】

メモリチェックプログラムをイニシャルプログラムに組み込む事で、イニシャルプログラム起動後にメモリチェックプログラムを動作させ、システムプログラムをダウンロードする前に、システムに接続されたROM16に不具合があるか否かが検出できる。

【 0 0 5 1 】

ここで、システムに接続されたROMとしたが、特にROMに限られている訳ではなく、システムに接続された複数のRAM、ROMを対象としてもよい。

【 0 0 5 2 】

この方法によるROMのメモリチェックは、一般的に行われているJTAGを用いる方法に比べ、高速かつ容易に行う事が可能である。

【 0 0 5 3 】

(第 7 の実施形態)

図3、図5及び、図6を参照して、第 7 の実施形態の動作を説明する。第1の実施形態で示したように、イニシャルプログラムをシステムに接続されたRAM11にダウンロードして、イニシャルプログラムを起動させる。この時、RAM11にダウンロードするイニシャルプログラム中に、システムに接続されているペリフェラルに対する結線確認プログラムを組み込む。

【 0 0 5 4 】

イニシャルプログラム起動後、イニシャルプログラムに組み込まれたペリフェラル結線確認プログラムを動作させる。ペリフェラル結線確認プログラムを動作させる事で、プロセッサシステム内部の各ペリフェラル間の結線不具合を容易に検出できる。

【 0 0 5 5 】

【発明の効果】

以上説明したように、本発明によれば、プロセッサシステムにおいて、IPLプログラムをシステム外部からダウンロードするようにしたので、プロセッサシステム内部に、IPLプログラムが書き込まれたROM (Flash Memoryを含む) を持つ必要が無くなるという効果がある。

【 0 0 5 6 】

また、システム外部からIPLプログラムをダウンロードすることにより、IPLプログラムの変更のためにROMライター等の特殊な工具を設ける必要がなくなる。更に、IPLプログラムを読み出すためにプロセッサシステムに付随するROM (Flash Memoryを含む) にアクセスするための専用回路も必要が無くなる。このダウンロードにRS232Cなどの汎用的な通信方法を用いれば、ダウンロードにPCの端末を利用する事ができる。

【 0 0 5 7 】

これらの事から、プロセッサシステムは、IPLプログラムが書かれたROMや、それに付随する専用回路が必要ではなくなるので、部品点数を削減でき、実装面積を縮小できる。また、プロセッサシステムに接続されたRAM上でIPLプログラムを動作させることから、IPLプログラムの書き換えを容易にかつ高速に行う事が可能となる。

【 0 0 5 8 】

また、IPL動作を行う際に、CPUが起動直後に最初に読み込むアドレスから、IPLプログラムの書き込みを開始する事により、例えば、CPUの起動アドレスがメモリマップの最後の方にある場合において、常にRAM領域全域に転送データを書く必要がなくなり、必要最小限の転送データを書き込む事でCPUを起動する事ができる。

## 【0059】

また、IPLプログラムの転送を終了すべき状態が検知されると、メモリへの書き込みを停止するようにしたので、不都合なあるいは不要な書き込みを禁止できる。例えば、あらかじめ設定した転送量に達した時点でメモリへの書き込みを停止する事で、RAM領域のサイズを超えるデータ転送をする事を禁止する事ができる。あるいは、プログラムの転送を終了した事を示すコードを検出された時点で、メモリへの書き込みを停止する事で、IPL動作時に必要以上のデータ転送を行う事を禁止できる。

## 【0060】

また、IPLプログラムとともに、接続ペリフェラルの動作確認、メモリチェック、ペリフェラル結線確認等の所定の機器の動作または状態を確認するための確認プログラム（デバッグプログラム）をメモリに書き込み、CPUの起動時に当該確認プログラムを動作させることにより、システムとしての不具合をいち早く発見する事ができる。

## 【0061】

さらにこのようなデバッグプログラムをプロセッサ外部からダウンロードする事により、デバッグプログラムを容易にかつ高速に書き換える事ができる。

## 【0062】

これにより、プロセッサシステムが正常に動作するか否かを、プロセッサシステムにシステムプログラムをダウンロードする前（システム起動前）に判断する事が可能となる。

## 【図面の簡単な説明】

## 【図1】

本実施形態のIPL装置におけるブロック図の一例である。

## 【図2】

本実施形態のIPL動作モードでのアドレスマッピングの一例である。

## 【図3】

本実施形態のIPL動作モード及び通常起動モードにおける基本的動作の流れを示すフローチャートである。

【図 4】

従来の IPL 装置の一例の構成ブロック図である。

【図 5】

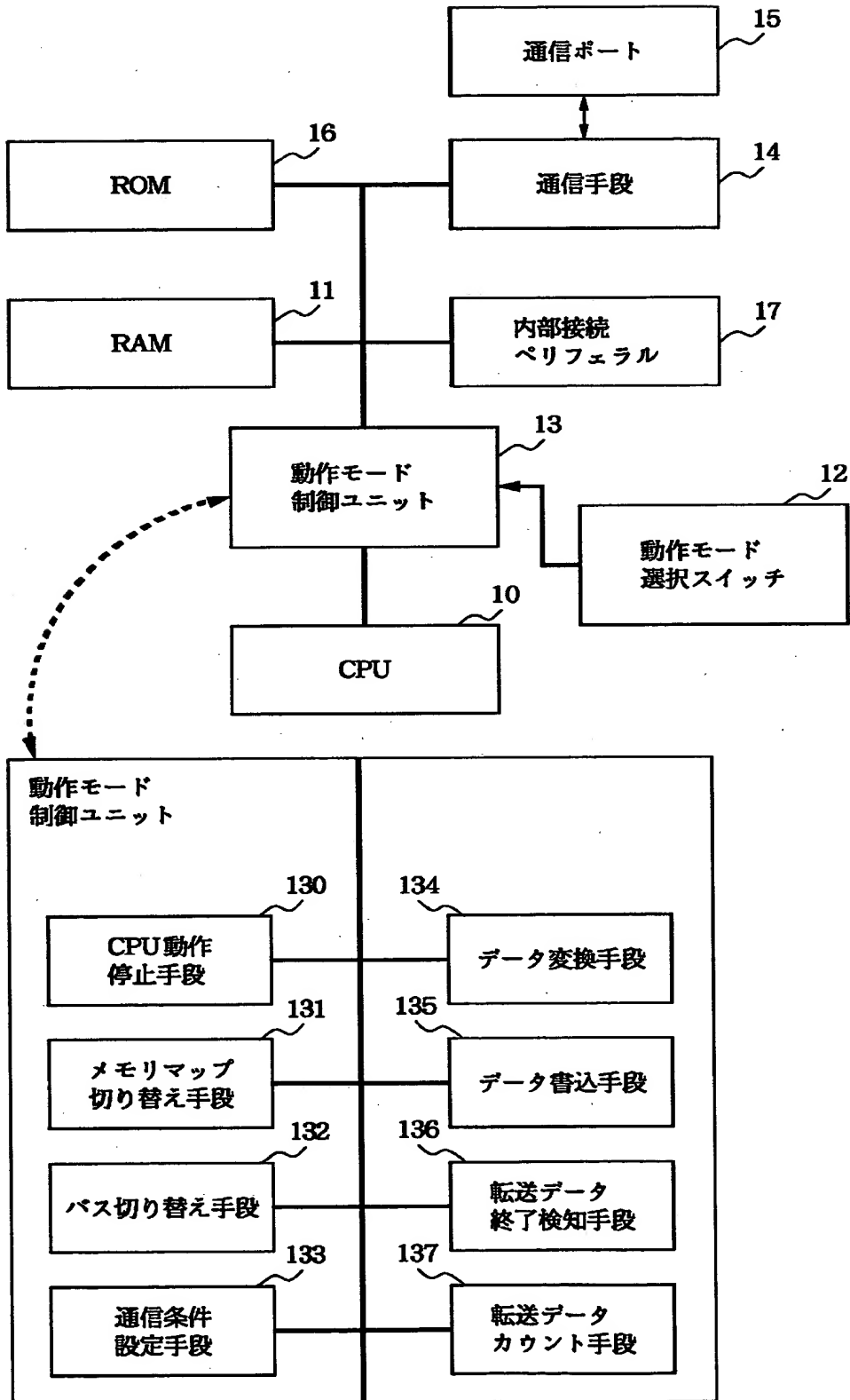
従来の IPL 動作モード及び、通常起動モードにおける基本的動作の流れ図である。

【符号の説明】

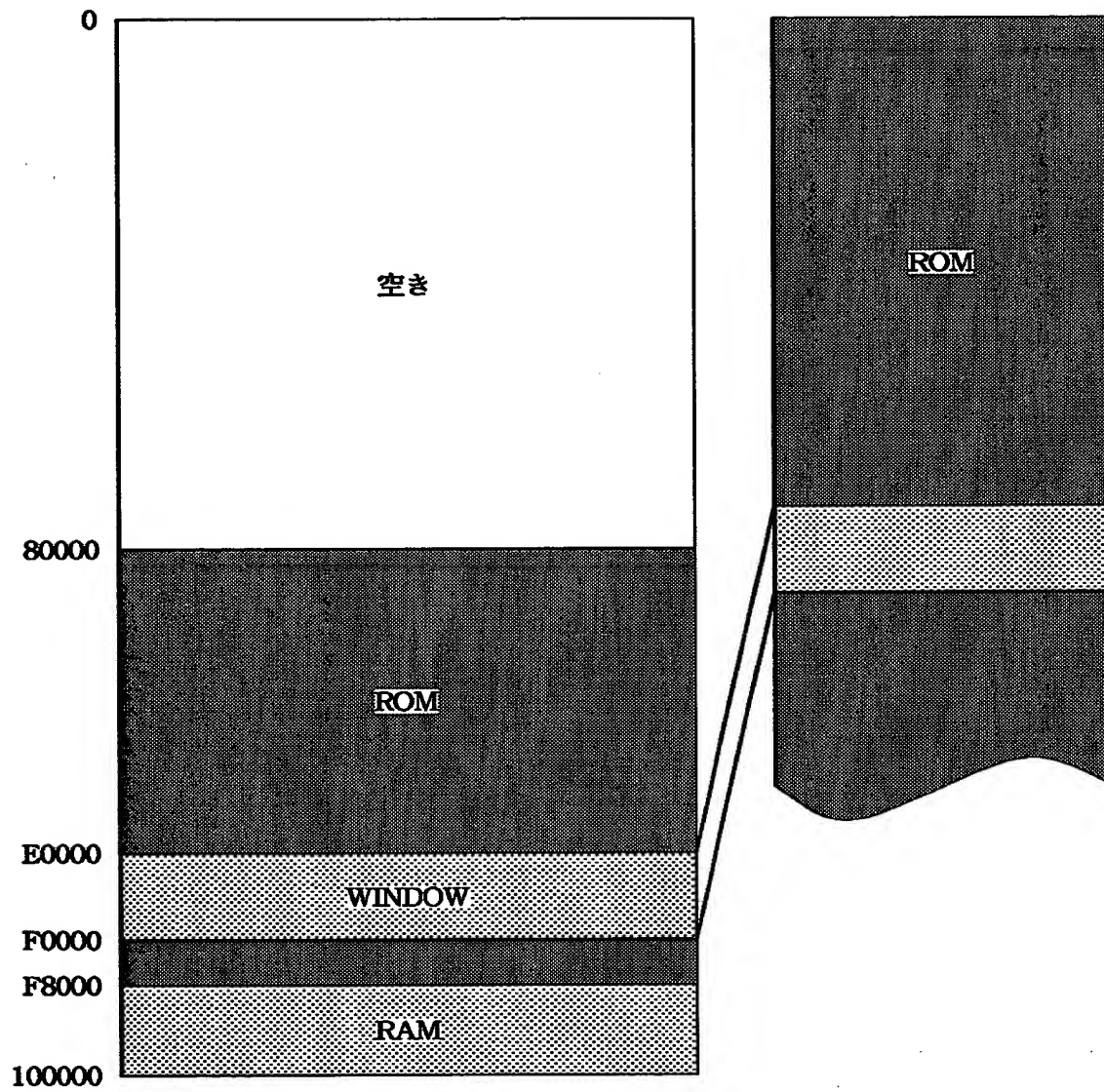
- 1 0、4 0 CPU
- 1 1、4 2 RAM
- 1 2、4 3 動作モード選択スイッチ
- 1 3、4 4 動作モード制御ユニット
- 1 4、4 5 通信手段
- 1 5、4 6 通信ポート
- 1 6 ROM
- 1 7 内部接続ペリフェラル
- 4 1 IPL 格納 ROM
- 1 3 0 CPU 動作停止手段
- 1 3 1 メモリマップ切り替え手段
- 1 3 2 バス切り替え手段
- 1 3 3 通信条件設定手段
- 1 3 4 データ変換手段
- 1 3 5 データ書き込み手段
- 1 3 6 転送データ終了検知手段
- 1 3 7 転送データカウント手段

【書類名】 図面

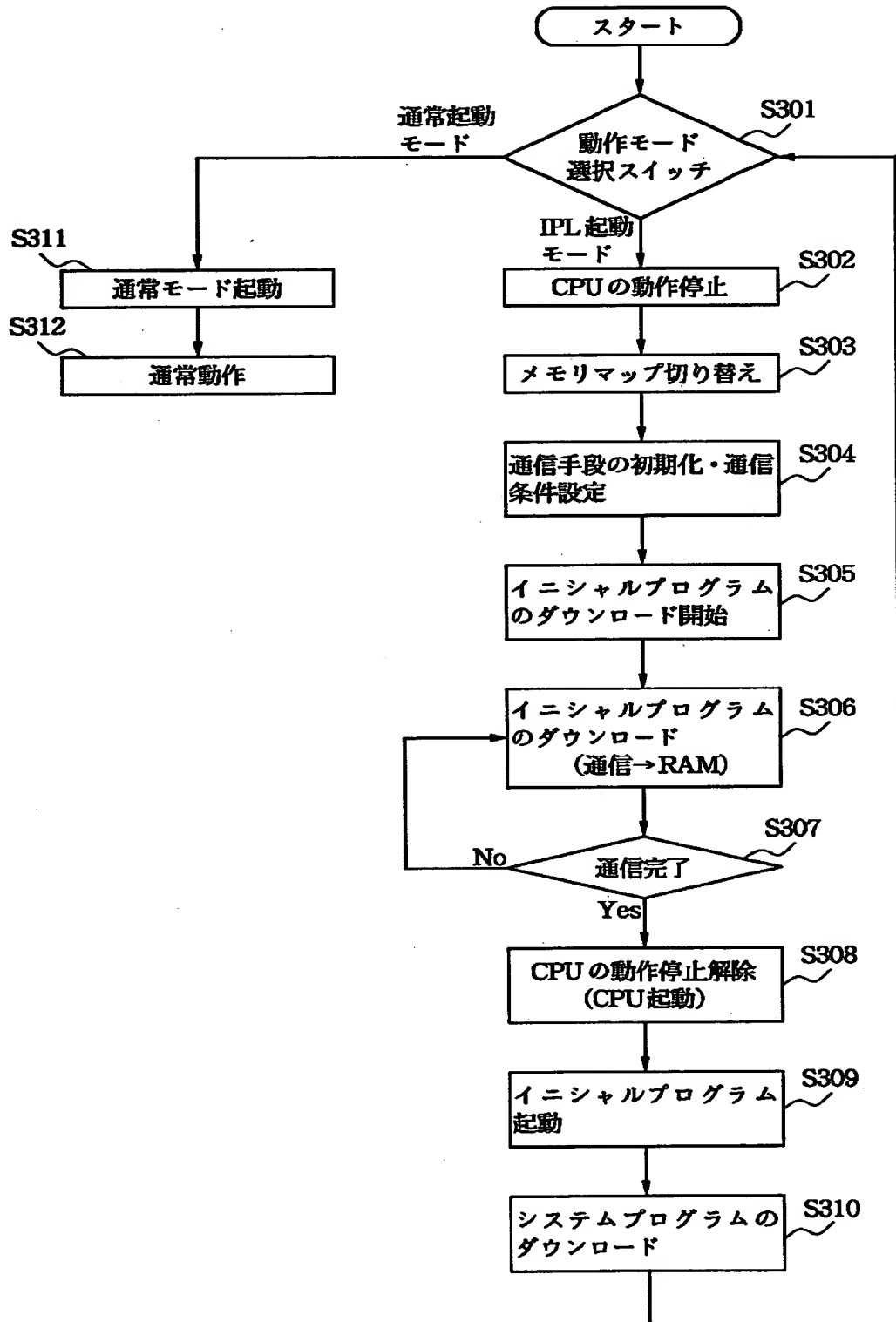
【図 1】



【図 2】

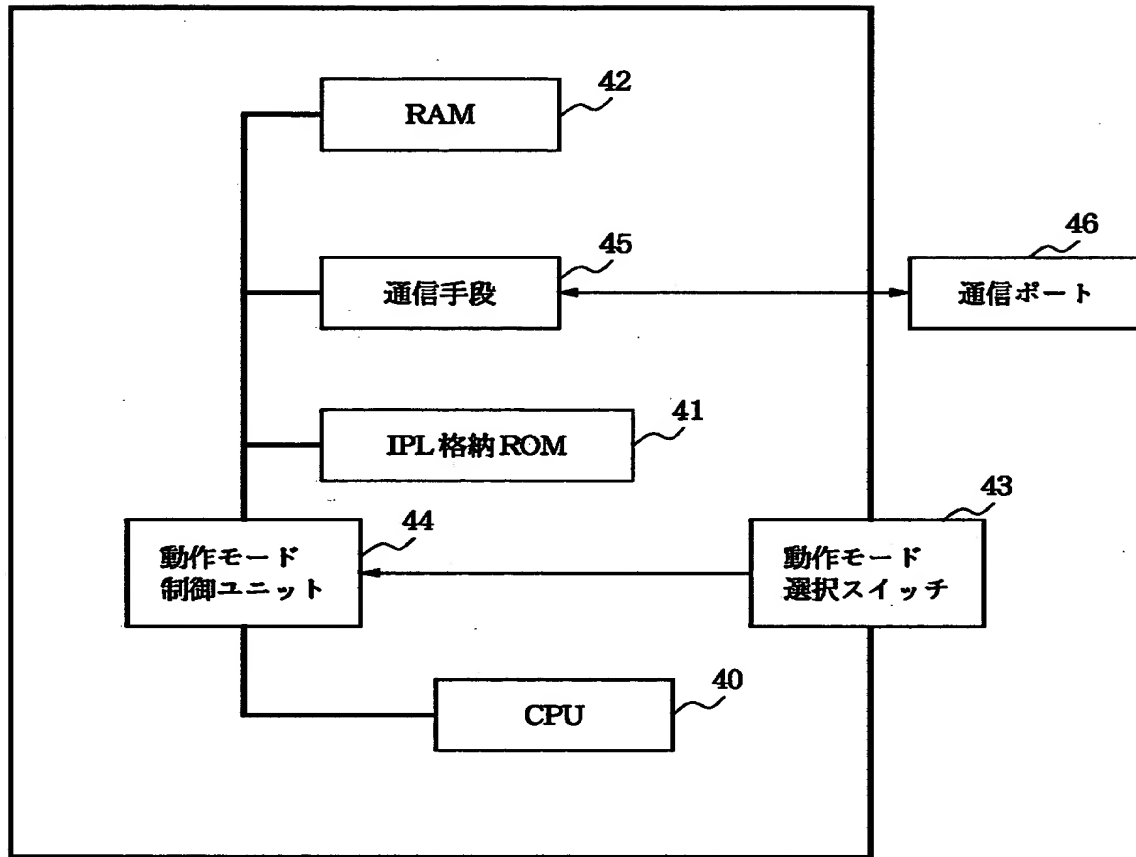


【図 3】

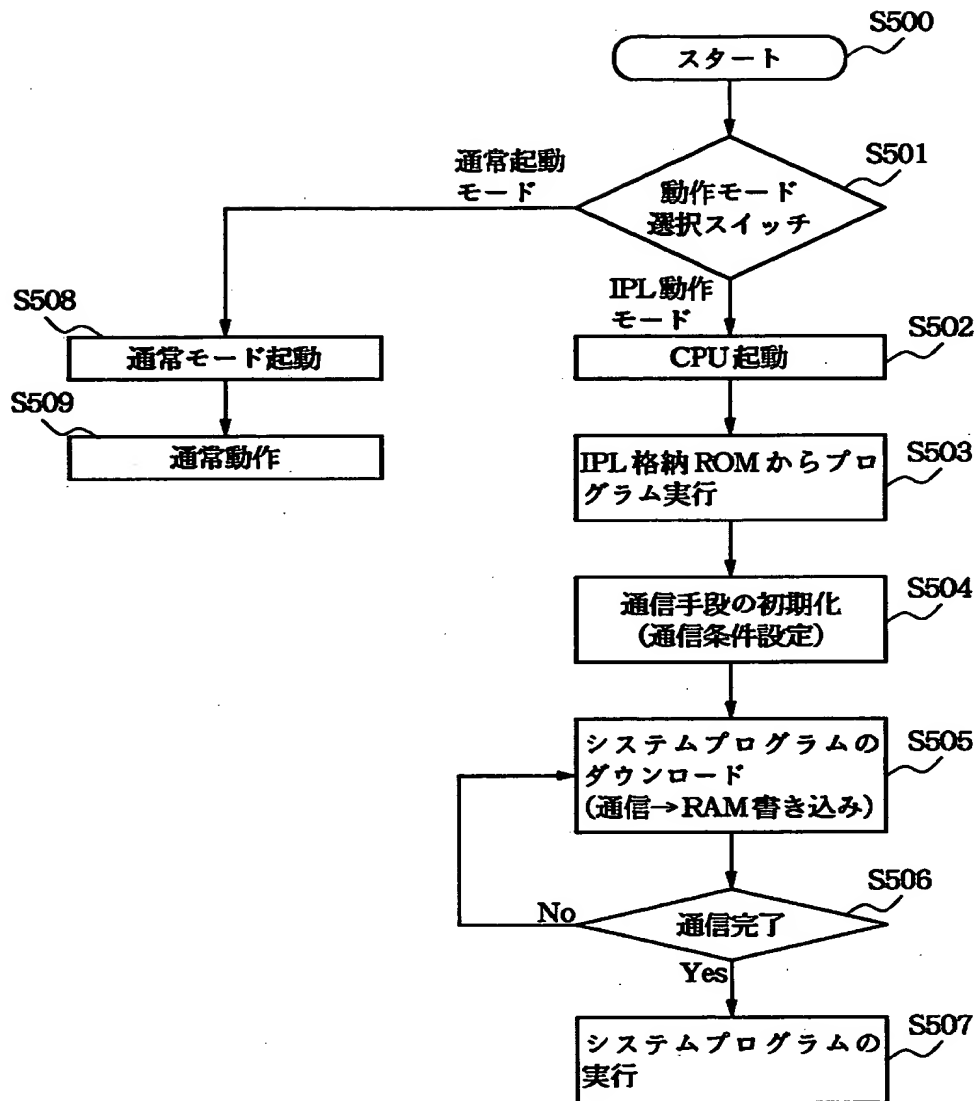




【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】 IPLプログラムを簡単に変更できるようにする。

【解決手段】 CPU10と、RAM11と、外部との通信手段14とを備えたプロセッサシステムに、動作モードを選択する動作モード選択スイッチ12と、この選択スイッチ12によりIPL動作モードが選択された場合に、CPU10の動作を停止させ、RAM11をIPL動作モードに応じたエリアにマッピングし、通信手段14を介して外部より転送されるIPLプログラムをRAM11に書き込んだ後に、CPU10の動作の停止を解除する動作モード制御ユニット13とを備え、RAM11に書き込まれたIPLプログラムをCPU10により実行して、システムプログラムをダウンロードする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社